

Searching PAJ

1/2 ページ

(1)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-310547

(43)Date of publication of application : 04.11.1994

(51)Int.CI.  
 H01L 21/338  
 H01L 29/812  
 H01L 21/306  
 H01L 23/34

(21)Application number : 05-207425

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.08.1993

(72)Inventor : OKANIWA KAZUHIRO

(30)Priority

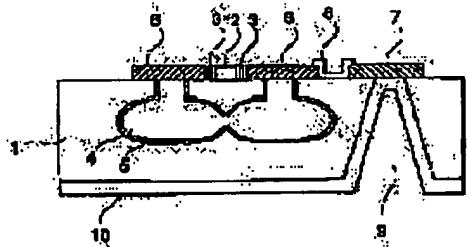
Priority number : 05 35916 Priority date : 25.02.1993 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To improve radiation of heat of a gate electrode part of a FET for high frequency while holding a substrate thickness in a semiconductor device and preparation thereof.

CONSTITUTION: Hole entrance parts are formed on both sides of gate electrodes on the substrate surface by performing dry etching in the vertical direction through dry etching, continuously the hole body parts are formed respectively down the respective hole entrance parts by wet etching whereby respective hole body parts may be linked together to be one cavity. Further, a metal is formed inside the cavity. Accordingly, heat generated near the gates is made to be conducted from inside the cavity toward the cavity entrance direction.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Searching PAJ

2/2 ページ

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-310547

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.<sup>5</sup>

H 01 L 21/338  
29/812  
21/306  
23/34

識別記号

庁内整理番号

F I

技術表示箇所

S 9272-4M  
A

7376-4M

H 01 L 29/80

U

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21)出願番号

特願平5-207425

(22)出願日

平成5年(1993)8月23日

(31)優先権主張番号 特願平5-35916

(32)優先日 平5(1993)2月25日

(33)優先権主張国 日本 (JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岡庭 一浩

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社光・マイクロ波デバイス開発研究  
所内

(74)代理人 弁理士 早瀬 慎一

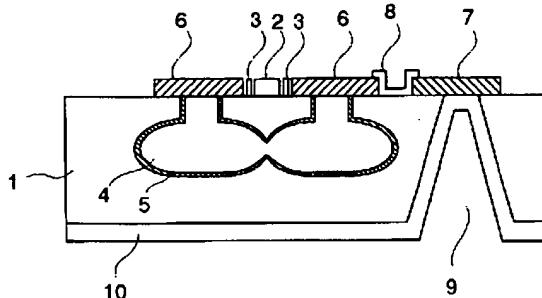
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 半導体装置及びその製造方法において、高周波用FETのゲート電極部の熱の放散を、基板厚を保持したまま向上させる。

【構成】 基板1表面の、ゲート電極3両側に、ドライエッティングにより垂直方向にエッティングを行いホール入り口部を形成し、引き続いてウエットエッティングによって上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞4となるようとする。さらに空洞4内に金属5を形成する。

【効果】 ゲート電極3近傍で発生した熱は、空洞4内から空洞入り口方向に向けて伝導するようになる。



- 1 : GaAs基板
- 2 : ドレイン電極
- 3 : ゲート電極
- 4 : 空洞
- 5 : 空洞内金属
- 6 : ソース電極
- 7 : バイアホール上部電極
- 8 : マイクロストリップ配線
- 9 : バイアホール
- 10 : グランド電極

1

## 【特許請求の範囲】

【請求項1】 半導体基板の一主面に発熱性素子を有する半導体装置において、

上記発熱性素子の直下の半導体基板に空洞を設けたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記空洞内面に金属膜を形成したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、上記空洞内を、金属層で充填したことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、上記空洞内面に、上記半導体基板より熱伝導性の良好な膜を形成したことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、上記空洞内を、上記半導体基板より熱伝導性の良好な層で充填したことを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、上記空洞は、

上記発熱性素子の左右両側において形成された2つの空洞を、上記発熱性素子の下方で接続してなるものであることを特徴とする半導体装置。

【請求項7】 請求項2記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属膜は、該トランジスタのオーミック電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【請求項8】 請求項3記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属層は、該トランジスタのオーミック電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【請求項9】 半導体基板上に配置された発熱性素子の直下に空洞を形成してなる半導体装置を製造する方法であって、

上記基板上に形成された発熱性素子の左右両側に、腐食性のガスと堆積性のガスを用いて上記半導体基板を垂直方向にエッチングしてホール入り口部を形成する工程と、

続いて腐食性のガスを用いて上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞となるようにする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、上記基板上に、第2のエッチャントに対して耐腐食性を有するエッチングストップ層を介して活性層を形成し、この上に上記発熱性素子を設ける工程と、

2

第1のエッチャントを用いて上記ホール入り口部を形成する工程と、

第2のエッチャントを用いて上記ホール本体部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板の一主面に形成された発熱性素子と、該発熱性素子の直下において上記基板にその裏面側から形成された凹部と、上記基板の裏面電極と上記基板の上面電極とを接続するバイアホールとを備えた半導体装置において、

上記凹部として、上記発熱性素子の直下に相当する領域に複数の単位凹部が形成されてなり、  
上記基板裏面電極は上記複数の単位凹部の内側面に沿って形成されていることを特徴とする半導体装置。

【請求項12】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記バイアホールを形成すべき領域に第1の開口を有し、上記凹部を形成すべき領域に上記第1の開口よりも開口面積の小さい複数の第2の開口を有するエッチングマスクを用いて上記基板をその裏面からウエットエッチングして、上記バイアホール、及び所定の深さを有する、上記複数の第2の開口よりのエッチングがつながってなる单一の凹部を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記バイアホールを形成すべき領域に第1の開口を有し、上記凹部を形成すべき領域に上記第1の開口よりも開口面積の小さい複数の第2の開口を有するエッチングマスクを用いて上記基板をその裏面からドライエッチングして、上記バイアホール、及び所定の深さを有する複数の凹部を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項14】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記基板裏面側のバイアホールを形成すべき領域の一部にドライエッチングにより第1の深さを有するバイアホール形成用凹部を形成する工程と、

上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するエッチングマスクを用いて上記基板をその裏面からウエットエッチングして、第2の深さを有する凹部を形成するとともに、バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成する工程とを含むこと

50

を特徴とする半導体装置の製造方法。

【請求項15】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記基板裏面側のバイアホール形成領域の一部をウェットエッチングして第3の深さを有するバイアホール基部を形成する工程と、

上記基板の、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域を、これらの領域に対応する開口を有するエッチャングマスクを用いてドライエッチングして、上記バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するとともに、第4の深さを有する凹部を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項16】 請求項14または15記載の半導体装置の製造方法において、

上記凹部内を、金属で充填する工程を含むことを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】この発明は半導体装置及びその製造方法に関し、特に化合物半導体(GaAs等)による高周波用のFETまたはIC(MMIC;Microwave Monolithic Integrated Circuit)に関するものである。

##### 【0002】

【従来の技術】従来の高周波用FETあるいはIC(MMIC)の断面を図19に示す。また、その製造プロセスフローを図20(a)～図20(c)に示す。図において、1は基板であり、例えばGaAs基板が高周波用としてよく用いられる。2はこの基板1上に形成されたドレイン電極で、AuGe/Ni/Auの積層金属がよく用いられる。3は基板1上に形成されたゲート電極で、これにはTi/AIの積層金属がよく用いられる。6は基板1上に形成されたソース電極で、AuGe/Ni/Auの積層金属がよく用いられる。7は基板1上に形成された後述するバイアホールの上部電極であり、Ti/AuまたはTi/AIの積層金属がよく用いられる。8はマイクロストリップ配線で、Ti/Auの積層メタルがよく用いられる。9は基板1を貫通するバイアホールであり、ドライエッチングまたはウェットエッチングで形成される。10は基板1の裏面全域にわたって形成されたグランド電極で、Ni/Auがよく用いられる。なおここでは図示していないが、上記基板1の表面には活性層となる領域が形成されているものとする。

【0003】次に図20の高周波MMICの製造プロセスフローについて説明する。まず、基板1上にソース電極6とドレイン電極2を、蒸着・リフトオフにより同時に形成する。次にゲート電極3を、蒸着・リフトオフにより形成する。続いて、パッシバーション膜、抵抗、イ

ンダクタ、キャパシタ(それぞれ図示せず)を形成する。次にマイクロストリップ配線8を蒸着・リフトオフにより形成する。さらにバイアホール上部電極7を蒸着・リフトオフおよびメッキにより形成する(図20(a))。

【0004】引き続いて、基板1の裏面から研削、ラッピング、ポリッシング、エッチングにより薄板化加工を行い、基板1を100～200ミクロンの厚さにする。そして、バイアホール上部電極7の直下に基板1を貫通するバイアホール9をエッチングにより形成する(図20(b))。

【0005】最後に基板1の裏面全域にわたり無電解メッキによりNi/Auを形成し、さらに電解メッキによりAuを形成することにより、上記バイアホール上部電極7と電気的に接続するグランド電極10を形成する(図20(c))。

##### 【0006】

【発明が解決しようとする課題】従来の半導体装置である高周波MMICは、以上のように構成され、かつ製造されているので、基板1の厚みが100～200ミクロンであるため熱伝導率の小さいGaAs(熱伝導率=4.6W/m·K)の場合、ゲート電極近傍で発生した熱の放散が悪く、温度が上昇してしまい高周波特性や信頼性に悪影響を与えるという問題点があった。また熱放散を改善するために基板の厚みを30ミクロン程度まで薄くすることもあるが、この場合はハンドリングが困難であるという問題点があった。

【0007】ところで、例えば特開昭61-23350号公報、特開昭63-198377号公報、特開平4-311069号公報に、基板表面に発熱性素子を有し、基板裏面側から上記発熱性素子が形成された領域近傍まで凹部を形成し、ここに金属を充填するようにしたものが示されているが、このような構成において、バイアホールを用いて基板裏面側電極と基板表面に形成された上部電極とを接続するためには、上記凹部とバイアホールとをそれぞれ異なるマスクを用いてエッチングして形成するのが普通であり、この場合には製造工程の増加や、装置の微細化に伴うマスク合わせのズレによる製造精度の低下等の問題が生じることがあった。

【0008】この発明は上記のような問題点を解決するためになされたもので、基板厚を100～200ミクロンに保ったままゲート電極近傍の熱放散を良好にして高周波特性や信頼性を向上させることのできる半導体装置及びその製造方法を提供することを目的とする。

【0009】またこの発明は、製造工程が簡単で、製造精度が高い装置を得ることができる半導体装置の製造方法を提供することを目的とする。

##### 【0010】

【課題を解決するための手段】この発明に係る半導体装置は、基板上に形成された発熱性素子の直下部に空洞を

設けたものである。また、上記空洞内面に熱導電性の良好な金属等の膜を設ける、あるいは空洞内を金属等の層で充填するようにしたものである。また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、さらに基板裏面から上記空洞部に達するホールを形成して上記空洞内の金属層と基板裏面の接地電極と接続するようにしたものである。

【0011】また、この発明に係る半導体装置は、上記発熱性素子の直下に相当する基板領域に基板裏面側から形成された複数の単位凹部を備えたものである。

【0012】またこの半導体装置に係る半導体装置の製造方法は、発熱性素子の左右両側の基板を垂直方向にエッチングしてホール入口部を形成し、引き続いて上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞となるようにするものである。

【0013】また、上記基板表面に第2のエッチャントに対して耐腐食性を有するエッチングストップ層を設け、第1のエッチャントにより上記ホール入口部を形成し、第2のエッチャントを用いて上記ホール本体部を形成するようにしたものである。

【0014】また、この発明に係る半導体装置の製造方法は、バイアホール形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いて基板をその裏面からウェットエッチングあるいはドライエッチングし、バイアホールと凹部とを同時に形成するようにしたものである。

【0015】また、この発明に係る半導体装置の製造方法は、基板裏面側にドライエッチングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてウェットエッチングを行い、第2の深さを有する凹部、及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたものである。

【0016】また、この発明に係る半導体装置の製造方法は、基板裏面側のバイアホール形成領域の一部にウェットエッチングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてドライエッチングを行い、第4の深さを有する凹部を形成するとともに、上記バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたものである。

【0017】

【作用】この発明においては、発熱性素子の直下に空洞が形成されているため、発熱性素子近傍で発生した熱は上下左右のあらゆる方向に伝導するが、基板の下方向に

伝導する熱は空洞内から空洞の入り口方向に伝導するため、熱伝導率が改善される。

【0018】また、上記空洞内面に設けられた金属等の膜、あるいは空洞内を充填する金属等の層により、熱伝導率改善の効果がより大きくなる。また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、かつ基板裏面から形成したホールと貫通させて基板裏面の接地電極と接続するようにしたので、バイアホールとして機能する。

10 【0019】また、この発明においては、発熱性素子の左右両側の基板に形成したホール入口部に対し、これらに続くホール本体部を形成することによって隣接するホール同士を接続するようにしたから、上記発熱性素子直下を空洞化することができる。

【0020】また、基板上に形成した、第2のエッチャントに対して不動体化するエッチングストップ層により、ホール本体部を形成する際の寸法制御が可能となる。

【0021】また、この発明においては、バイアホール20 形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いてウェットエッチングあるいはドライエッチングを行うことにより、バイアホールと凹部とが同時に形成される。

【0022】また、基板裏面側にドライエッチングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてウェットエッチングを行い第2の深さを有する凹部、30 及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成することにより、凹部における基板の残し厚を容易に制御することができる。

【0023】また、基板裏面側にウェットエッチングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域に開口を有するマスクを用いてドライエッチングを行い第4の深さを有する凹部を形成するとともに、上記バイアホール基部から上記基板表面まで貫通させてなるバイアホール貫通部を形成することにより、凹部における基板の残し厚を容易に制御することができる。

【0024】

【実施例】実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の第1の実施例による高周波MMICの断面図であり、図2(a)～(e)はその製造プロセスフローを示す図である。これらの図において、図8と同一符号は同一または相当部分を示し、4はゲート部直下の基板1に形成された空洞である。また4aは50 ソース電極6の直下に形成された空洞の入り口部で、4

bは空洞の本体部である。また5は空洞4内に形成された空洞内金属である。なお、ここでは図示していないが、基板1表面には活性層となる領域が形成されているものとする。

【0025】次に図2に示す製造プロセスフローの詳細について説明する。まず、GaN基板1上にドレイン電極2を蒸着・リフトオフで形成する。次にゲート電極3を蒸着・リフトオフで形成する(図2(a))。次いで、ドレイン電極となる部分にドライエッティングにより垂直なホールを形成する。このとき、エッティングガスには腐食性と堆積性を得るために塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用い、フォトレジスト(図示せず)をマスクにして30mTorrの圧力で10分間エッティングすることにより、深さ約10ミクロンの垂直なホール(入り口部)4aが形成される(図2(b))。

【0026】次いで、同じフォトレジストをそのままマスクにして、エッティングガスとして腐食性を得るために塩素ガスと四塩化珪素ガスを1対1の割合で混合したものを用いて、60mTorrの圧力で30分間エッティングすると、深さ約50ミクロンの等方的なホールが形成されて隣接するホールとホールが接続され、1つの横長のホール(本体部)4bが形成される(図2(c))。このとき垂直にエッティングした部分には側壁を保護する反応生成物(Si, C, Cl, Oより形成されている)が残るので、横長にエッティングする際にも先に形成した入り口部4aの垂直形状は保たれる。さらに、同じフォトレジストをそのままマスクにして、無電解メッキによりNiまたはAuを空洞内金属5として形成する(図2(d))。

【0027】次いで、ソース電極6を蒸着・リフトオフにて形成し、続いて、パッシベーション膜、抵抗、インダクタ、キャパシタ(それぞれ図示せず)を形成する。なおここでは空洞内金属5によって隣接するソース電極6間が接続されたものとなっているが、使用目的に応じて空洞内金属5とソース電極6とを接続しないこともある。次にマイクロストリップ配線8を蒸着・リフトオフにより形成する。さらにバイアホール上部電極7を蒸着リフトオフとメッキにより形成する。引き続いて、基板1の裏面から研削、ラッピング、ポリッシング、エッティングにより薄板化加工を行い、GaN基板1を100~200ミクロンの厚さにする。そしてバイアホール上部電極7の直下に基板1を貫通するバイアホール9をエッティングにより形成する。最後に基板1の裏面全域にわたり無電解メッキによりNi/Auを形成し、さらに電解メッキによりAuを形成することにより、上記バイアホール上部電極7と電気的に接続するグランド電極10を形成する(図2(e))。

【0028】このように本実施例によれば、ゲート電極3及びソース電極6直下のGaN基板1にソース電極6と接続する入り口部4aを有する空洞4を設けたか

ら、ゲート電極3近傍で発生した熱は、空洞内4から空洞の入り口部4aの方向へと伝導するようになり、熱伝導率が改善され、従って基板1の厚さを保ったまま高周波特性や信頼性を向上させることができる。また空洞4内にはこれに沿って空洞内金属層(金の熱伝導率319W/m·K)5が形成されているため、熱伝導率の改善効果は大きいものである。

【0029】実施例2. 次に本発明の第2の実施例による高周波MMIC及びその製造方法を図について説明する。図3に示すように、この実施例2では、空洞4内を金属50で充填するようにしたものである。

【0030】次に製造方法について説明する。上記実施例と同様にして基板1表面にドレイン電極2、ゲート電極3を形成し、エッティングにより空洞入り口部4a、本体部4bを形成する(図4(a)~(c)参照)。

【0031】続いて、無電解メッキ又はパルス式の電気メッキにより、NiまたはAu等の金属50でホール4内を埋め込む(図4(d))。次いで上記実施例と同様に、各電極及び他の回路素子の形成、基板薄板化加工、20バイアホールの形成を行い、最後にグランド電極10を形成する(図4(e))。

【0032】このように本実施例2では、空洞4内を金属50で充填することにより、ゲート電極3近傍で発生した熱の放散をさらに向上させることができるとともに、空洞4内が金属50で充填されているため、空洞4形成による基板強度の低下を防止することができる。なお、上記金属50としては、基板1と熱膨張率が近いものが好ましい。

【0033】実施例3. 次に本発明の第3の実施例による高周波MMIC及びその製造方法を図について説明する。図5に示すように、この実施例3では、空洞4内を金属50で充填するとともに、GaN基板1裏面から空洞部4に向けてホール4cを形成し、ホール4c内に金属51を充填して電気的に裏面のグランド電極10とソース電極6とを接続するようにしたものである。

【0034】次に製造方法について説明する。図6(a)~(d)の工程は図4(a)~(d)の工程と同一であるので、ここではそれ以降の工程について説明する。図6(e)に示すように、各電極を形成した後、基板1を1040~200ミクロンに薄板化する。このときバイアホール上部電極は形成されない。

【0035】次いで、図6(f)において、フォトレジスト(図示せず)をマスクにドライエッティングにより基板1裏面にホール4cを形成し空洞部4と連通させる。そしてフォトレジスト除去後、最後に基板裏面全域にわたり無電解メッキによりNi/Auを形成し、さらに電解メッキによりAuを形成して裏面電極10及び金属51とする。

【0036】このような方法を用いることにより、熱放散のための空洞内金属と、ソース電極6を接地するため

のバイアホールとを兼用でき、デバイスの微細化を図ることができる。

【0037】実施例4. 次に本発明の第4の実施例4による高周波MMICを図について説明する。図7に示すように、この実施例ではGaN基板上にi-AlGaAs層、バッファ層、n-GaN層を順次積層したものを基板として用いることにより、空洞形成時の寸法制御を行なうようにしたものである。

【0038】以下、製造方法について説明する。GaN基板1上にi-AlGaAs層1c、バッファ層1b、n-GaN層1aを積層した基板に対し、空洞形成時にまず塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用いて、30mTorrの圧力でn-GaN層1a、バッファ層1b、i-AlGaAs層1cを垂直にエッチングした後、塩素ガスと四塩化珪素ガスと六フッ化硫黄ガスを1対4対1の割合で混合したものを用いて、60mTorrの圧力で30分間エッチングすると、約50ミクロン深さの横長なホールが形成されて隣接するホールとホールが接続され1つ空洞40が形成される。このとき、i-AlGaAs層1cは六フッ化硫黄ガスにより不動態化するのでエッチングされず、従って横長な空洞40形成時のバッファ層1bに対するエッチングストップ層として作用し、エッチング時の寸法制御が容易になる。またn-GaN層1a、バッファ層1b、i-AlGaAs層1cを垂直にエッチングした部分には側壁を保護する反応生成物(Si, C, Cl, Oで形成されている)が残るので、横長にエッチングする際にもこの垂直形状は保たれる。なお、52, 53はそれぞれ横長なホール40、ホール4cを充填する金属を示す。

【0039】なお、上記第1及び第2の実施例では金属を用いて空洞内面を覆う、または充填するようにしたが、金属以外でも、例えば導電性樹脂等、熱伝導性の良好なものであればこれを用いることができる。

【0040】また、上記第3の実施例では、空洞4内を充填する金属50とグランド電極10とを接続するようにしたが、第1の実施例の構成において、空洞4内面に形成された空洞内金属5と接続するようにしてもよい。

【0041】実施例5. 次に本発明の第5の実施例による高周波MMICの製造方法を図について説明する。図8において、11はFETの下方の基板1に形成された凹部であり、該凹部11の底面部は波板状になつてゐる。

【0042】次に製造方法について説明する。まず、図9(a)に示すように、従来例と同様にしてGaN基板1表面にドレイン電極2、ゲート電極3、ソース電極6、バイアホール上部電極7を形成した後、薄板化加工を行ない、続いて基板1裏面に、図10に示すような形状の開口13a, 13bを有するマスクを用いてエッチングを行う。

【0043】このとき互いの開口面積が10倍以上異なる開口を有するエッティングマスク13を用いてエッチングを行う。ここでは、小さい方の開口13aは $50\mu m \times 10\mu m$ 、大きい方の開口13bは $100\mu m \times 50\mu m$ とした。図11にH<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=100cc:500cc:100ccの場合の、エッチングレートのマスク開口面積に対する依存性を示す。この図よりマスク開口面積が10倍異なるとエッチング深さが約20~30μm異なっていることが分かる。従つてバイアホール9が基板1を貫通した時点で他方のホール(凹部)11はGaN基板1の厚み20~30μmを残してエッティングを終了することができる。エッチング時間は基板厚が100μmの場合は約30~40分、基板厚が150μmの場合は約90~120分、基板厚が200μmの場合は約120~150分である。またこの実施例5ではH<sub>2</sub>SO<sub>4</sub>系のウェットエッティングを用いているため、深さ方向に対して0.6~1.0倍のサイドエッティングが生じる。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は30μmであるため、図9(b)に示すように、隣接パターン同士のサイドエッティングが重なりあい、ひとつの大きなホール11を形成するようになる。またその際、ホール11の底面は波板状になるが、基板1表面に形成された発熱性粒子の放熱効果には影響はない。

【0044】続いて基板1の裏面にグランド電極10を上記各実施例と同様に形成する(図9(c))。またこの後、続いて、ホール11内をAuメッキ12で埋め込むようにしてもよく(図9(d)参照)、このようにすることで、基板1の表面側で発生した熱をいち早く基板裏面側に伝達することができ、出力効率が向上し、さらに信頼性も向上する。

【0045】このように本実施例によれば、その開口面積が10倍以上異なる開口部13a, 13bを有するエッティングマスク13を用いてウェットエッティングを行うことにより、放熱用の凹部11とバイアホール9とを同時に形成することができ、製造工程が簡単で、また同一のマスクを用いてエッティングを行うため、マスク合わせ等の問題を考慮する必要がなく、プロセスが容易であり、さらに製造精度を向上させることができる。また放熱に関しては主に基板裏面側から行われるため、上記実施例1ないし実施例4に比べて基板表面に形成された素子等への影響が低減される。

【0046】なおこの実施例では、上記ホール11内をAuメッキ12で充填するようにしたが、チップをダイボンドする際に用いられるAuSn半田をやや多めに用いることでダイボンド時にAuSn半田が凹部11に流入して該凹部11がAuSn半田により充填された構造となるために同様の構成とすることもできる。

【0047】実施例6. 次に本発明の第6の実施例による高周波MMICの製造方法を図について説明する。図

11

12において、9aは垂直形状に形成されたバイアホール、11aはFET下の方に形成された垂直形状の複数の凹部である。

【0048】次に製造方法について説明する。上記実施例5と同様に、表面工程、薄板化工程を経て、図10に示したような、それぞれの開口面積が10倍以上異なる開口部を有するエッティングマスクを用いてドライエッティングを行う。ここでは、小さい方の開口は $7.0\mu\text{m} \times 10\mu\text{m}$ 、大きい方の開口は $100\mu\text{m} \times 70\mu\text{m}$ とした。また図14にSiC14/C12ガスを用いた場合のエッティングレートのマスク開口面積に対する依存性を示す。この図よりマスク開口面積が10倍異なるとエッティング深さが約 $20\sim30\mu\text{m}$ 異なってくることが分かる。従ってバイアホール9aが基板1を貫通した時点で他方のホール11bはGaaS基板1の厚み $20\sim30\mu\text{m}$ を残してエッティングを終了することができる。エッティング時間は基板厚が $100\mu\text{m}$ の場合は約100分～120分、基板厚が $150\mu\text{m}$ の場合は約150～170分、基板厚が $200\mu\text{m}$ の場合は約200～220分である。

【0049】この実施例ではC1系のドライエッティングであるためサイドエッティングがほとんど生じない。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は $5\mu\text{m}$ であるため、図13(b)に示すように、基板1に形成された凹部は櫛形の断面形状となる。続いてグランド電極10を上記実施例と同様の方法にて形成し、その厚みを $5\mu\text{m}$ とすることによって幅 $10\mu\text{m}$ のホール内にAuが埋め込むように形成できる(図11(c))。

【0050】以上のように構成することで、得られる効果としては、上記実施例と同様に基板表面側で発生した熱をいち早く裏面側に伝達することによって、出力効率が向上でき、さらに信頼性をも向上できる。また、凹部11a内に形成されたグランド電極10間に隙間があるため、熱応力によるストレスを緩和でき、チップの反り等を低減することができる。

【0051】実施例7。次に本発明の第7の実施例による高周波MMICの製造方法を図について説明する。図15において、9bはドライエッティングにより形成された垂直形状のバイアホール上部、9cは凹部11とともにウエットエッティングにて形成されたテープ状のバイアホール下部である。

【0052】次に製造方法について説明する。従来例と同様にして表面工程、薄板化工程を経て(図16(a))、続いて裏面側からバイアホールと深さの異なる2種類のホールを形成するが、この際まず第1段階として、ドライエッティングでバイアホール9dを途中まで形成する。このとき、エッティングマスクとしてポジ型レジストを用い、エッティングガスは上記実施例6と同じくSiC14/C12系のものを用いて約30分エッティング

12

することによって、深さ $30\mu\text{m}$ のホール9dが形成される(図16(b))。

【0053】次に第2段階として、FET部直下とバイアホール部分にそれぞれ開口したネガ型レジストをエッティングマスクに用い、基板厚が $100\mu\text{m}$ の場合、深さ約 $70\mu\text{m}$ までウェットエッティングすることによってバイアホールを貫通させる。基板厚が $150\mu\text{m}$ の場合はウェットエッティングの深さを $120\mu\text{m}$ 、基板厚が $200\mu\text{m}$ の場合はウェットエッティングの深さを $170\mu\text{m}$ とする(図16(c))。続いて、ホール11内をAuメッキ12で埋め込む(図16(d))。

【0054】このように本実施例7においては、ドライエッティングによりバイアホールの一部を先に形成しておき、ウェットエッティングにてバイアホール下部9cと凹部11とを同時に形成することにより、エッティング工程を短くすることができ、また基板の残し厚の制御を容易に行うことができ、製造精度を向上させることができる。

【0055】実施例8。次に本発明の第8の実施例による高周波MMICの製造方法を図17について説明する。図において、11aはドライエッティングによりFET下方に形成された垂直形状の凹部、9dはドライエッティングにより形成された垂直形状のバイアホールの上部、9eはウェットエッティングにより形成されたバイアホールの下部である。

【0056】次に製造方法について説明する。まず、従来例と同様にして表面工程、薄板化工程を経て(図18(a))、続いて裏面側からバイアホールと、該バイアホールとは深さの異なるホールを形成する際に、まず第1段階としてウェットエッティングでバイアホールの下部9eを形成する。このときのエッティングマスクはネガ型レジストを用い、エッティング液は上記と同じものを用い、またエッティング時間は基板厚が $100\mu\text{m}$ 、 $150\mu\text{m}$ 、 $200\mu\text{m}$ とも約5分で、深さ約 $30\mu\text{m}$ のホールが形成される(図18(b))。

【0057】次にFET部直下とバイアホール下部9eの内部にそれぞれ開口したポジ型レジストをエッティングマスクに用い、深さ約 $70\mu\text{m}$ までドライエッティングすることによってバイアホールの上部9fを形成してバイアホールを貫通させるとともに、FET下方に垂直形状の凹部11aを形成する(図18(c))。基板厚が $150\mu\text{m}$ の場合はドライエッティングの深さを $120\mu\text{m}$ 、基板厚が $200\mu\text{m}$ の場合はドライエッティングの深さを $170\mu\text{m}$ とする。このときのドライエッティングのガスは上記実施例7と同じくSiC14/C12系を用いる。続いて、ホール11内をAuメッキ12で埋め込む(図18(d))。

【0058】このようにウェットエッティングによりバイアホール下部9eを先に形成した後、ドライエッティングにより凹部11aとバイアホール上部9fとを同時に形

成することにより、上記実施例7と同様に、エッティング処理に要する時間を短くすることができ、また基板の残し厚の制御を容易に行うことができ、製造精度を向上させることができる。

【0059】なお、上記実施例7では、上部、下部の2種類のホールを基板裏面側から形成するようにしたが、バイアホール上部電極7の形成を後にして、先にバイアホール上部9bをドライエッティングにて基板表面側から形成するようにしてもよい。さらに、上記各実施例では発熱性素子として、高周波用FETを例に挙げて説明したが、これ以外の発熱性素子であってもよいことはいうまでもない。

#### 【0060】

【発明の効果】以上のように、この発明に係る半導体装置によれば、発熱性素子の直下に空洞を形成するようにしたので、発熱性素子近傍で発生した熱を効率良く放散することができ、その結果、ハンドリングは従来のままで、高周波特性や信頼性の向上したMMICが得られる効果がある。また、上記空洞内面に設けられた熱伝導率の高い金属等の膜、あるいは空洞内を充填する金属等の層により熱放散がより大きくなるという効果がある。

【0061】また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、かつ基板裏面から形成したホールと貫通させて基板裏面の接地電極と接続するようにしたので、放熱用の金属がバイアホールとして機能することとなり、デバイスの微細化を図ることができる効果がある。

【0062】また、この発明に係る半導体装置の製造方法は、発熱性素子両側に形成した垂直形状のホール入口部に続く横長なホール本体部を形成することによって隣接するホール同士を接続するようにしたから、発熱性素子直下を容易に空洞化することができる効果がある。

【0063】また、上記横長なホール本体部を形成する際に用いられるエッチャントに対して不動体化するエッティングストップ層を基板上に形成することにより、横長なホール本体部を形成する際の寸法制御が可能となる効果がある。

【0064】また、この発明に係る半導体装置の製造方法は、バイアホール形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いてウエットエッティングあるいはドライエッティングを行い、バイアホールと凹部とを同時に形成するようにしたので、エッティング処理に要する時間を短縮することができ、また凹部における基板の残し厚を容易に制御することができる効果がある。

【0065】また、基板裏面側にドライエッティングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用い

てウエットエッティングを行い第2の深さを有する凹部、及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたので、凹部における基板の残し厚を容易に制御することができる。

【0066】また、基板裏面側にウエットエッティングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域に開口を有するマスクを用いてドライエッチ

ングを行い第4の深さを有する凹部を形成するとともに、上記バイアホール基部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたので、エッティング処理に要する時間を短縮することができ、また凹部における基板の残し厚を容易に制御することができる効果がある。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体装置（高周波MMIC）を示す断面図。

【図2】上記半導体装置の製造方法を示す断面図。

20 【図3】本発明の第2の実施例による半導体装置（高周波MMIC）を示す断面図。

【図4】上記半導体装置の製造方法を示す断面図。

【図5】本発明の第3の実施例による半導体装置（高周波MMIC）を示す断面図。

【図6】上記半導体装置の製造方法を示す断面図。

【図7】本発明の第4の実施例による半導体装置（高周波MMIC）を示す断面図。

【図8】本発明の第5の実施例による半導体装置（高周波MMIC）を示す断面図。

30 【図9】上記半導体装置の製造方法を示す断面図。

【図10】上記製造方法において用いられるエッティングマスクを示す図。

【図11】ウエットエッティング時のマスク開口面積に対するエッティングレートの依存性を説明するための図。

【図12】本発明の第6の実施例による半導体装置（高周波MMIC）を示す断面図。

【図13】上記半導体装置の製造方法を示す断面図。

【図14】ドライエッティング時のマスク開口面積に対するエッティングレートの依存性を説明するための図。

40 【図15】本発明の第7の実施例による半導体装置（高周波MMIC）を示す断面図。

【図16】上記半導体装置の製造方法を示す断面図。

【図17】本発明の第8の実施例による半導体装置（高周波MMIC）を示す断面図。

【図18】上記半導体装置の製造方法を示す断面図。

【図19】従来の半導体装置（高周波MMIC）を示す断面図。

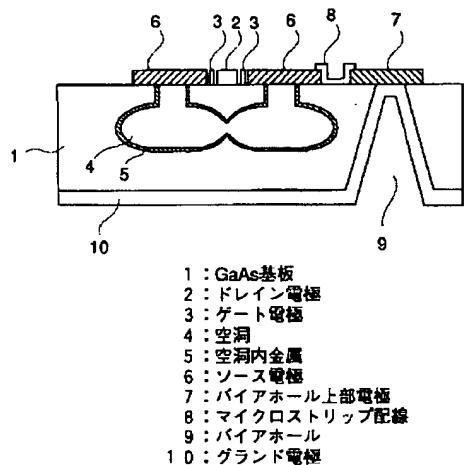
【図20】従来の半導体装置（高周波MMIC）の製造方法を示す断面図。

50 【符号の説明】

15

- 1 GaAs基板  
 1a n-GaAs層  
 1b バッファ層  
 1c i-AlGaAs層  
 2 ドレイン電極  
 3 ゲート電極  
 4 空洞  
 4a ホール入り口部  
 4b ホール本体部  
 4c ホール  
 5 空洞内の金属  
 50 空洞内の金属  
 51 ホール内の金属

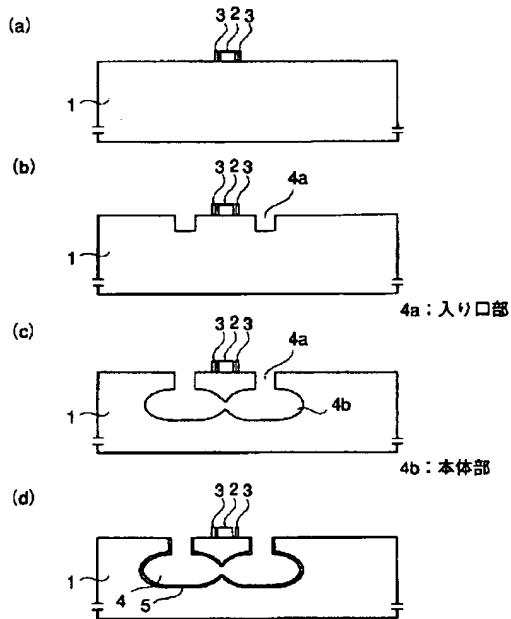
【図1】



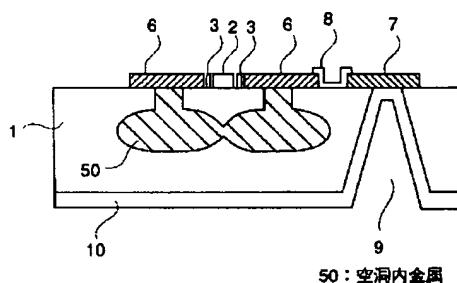
16

- 52 空洞内の金属  
 53 ホール内の金属  
 6 ソース電極  
 7 バイアホール上部電極  
 8 マイクロストリップ配線  
 9, 9a バイアホール  
 9b, 9c バイアホール上部  
 9c, 9e バイアホール下部  
 10 裏面グランド電極  
 10 11 凹部  
 12 Auメッキ  
 13 エッチングマスク

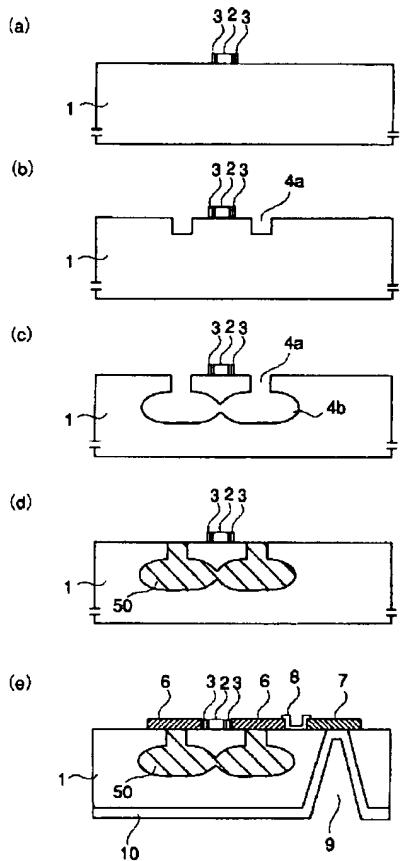
【図2】



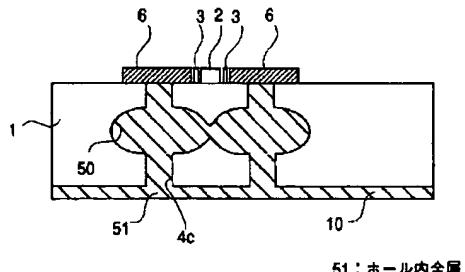
【図3】



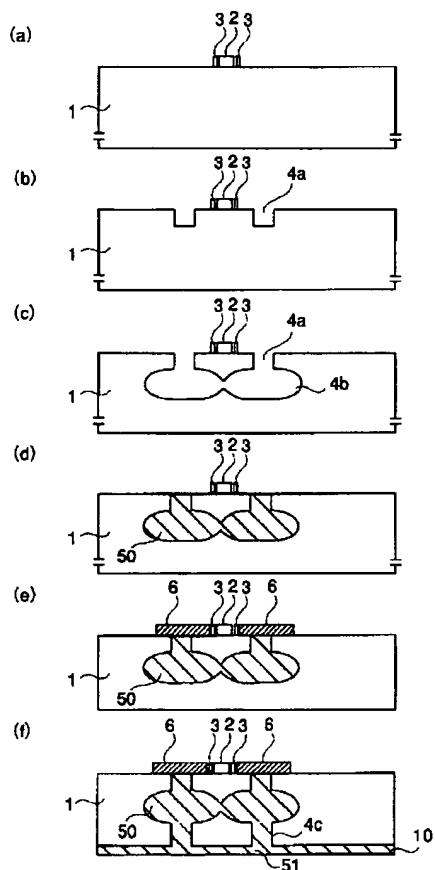
【図4】



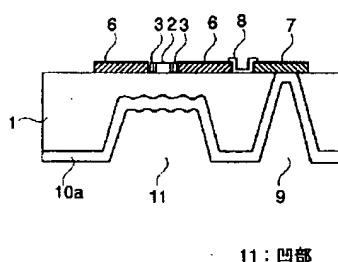
【図5】



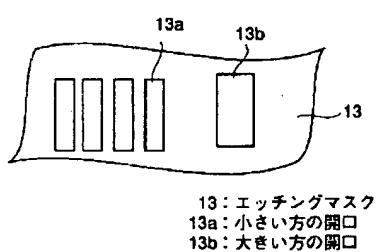
【図6】



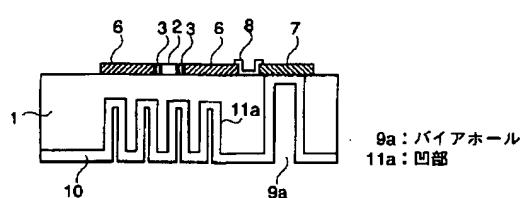
【図8】



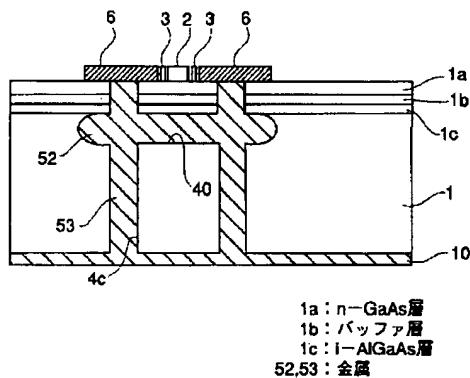
【図10】



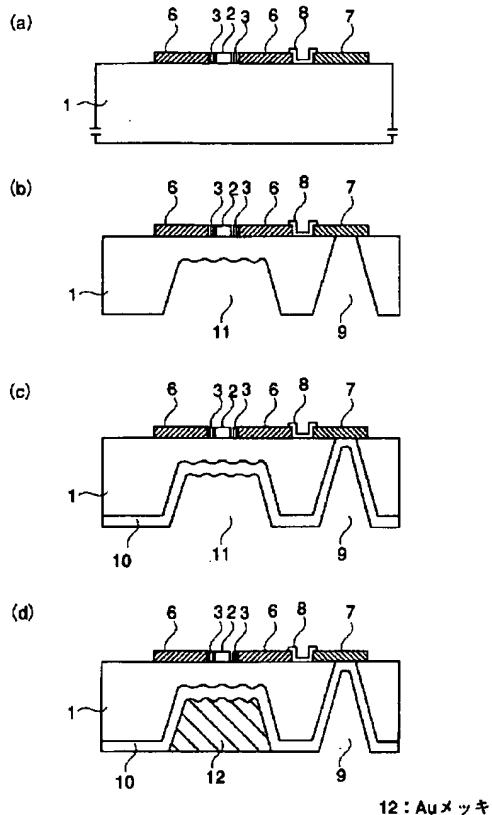
【図12】



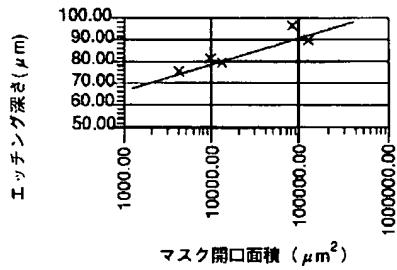
【図7】



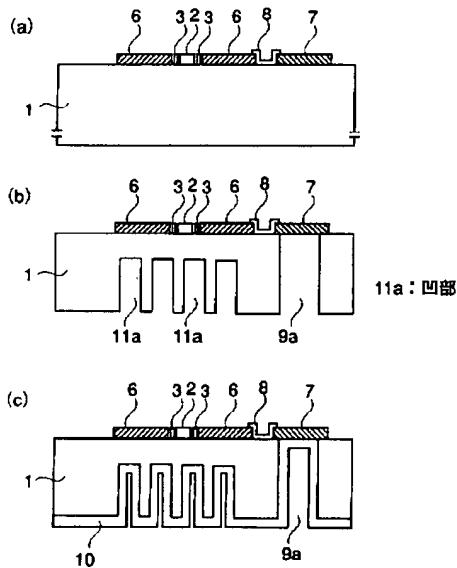
【図9】



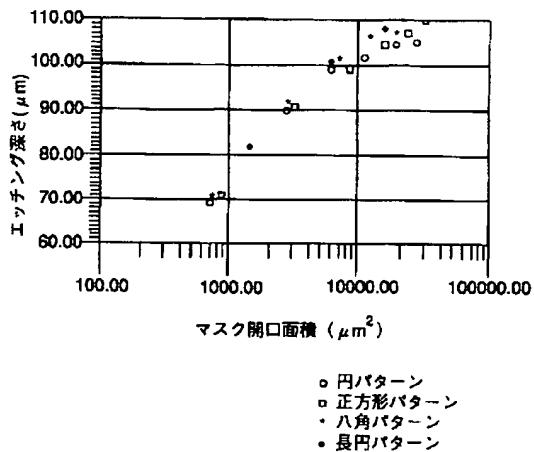
【図11】



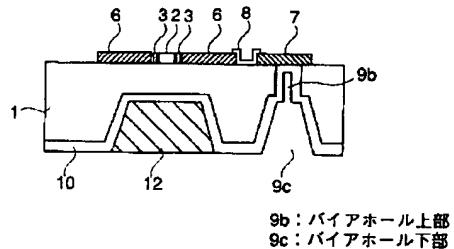
【図13】



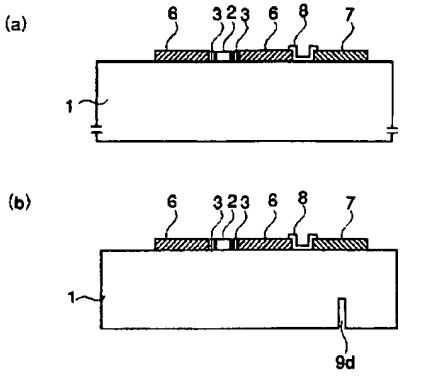
【図14】



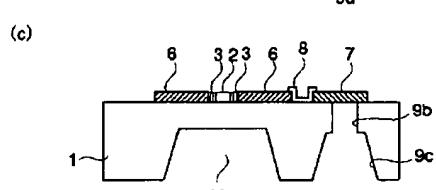
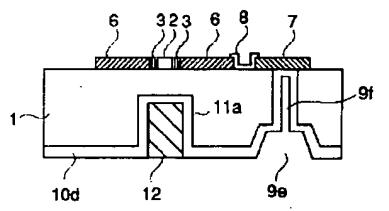
【図15】



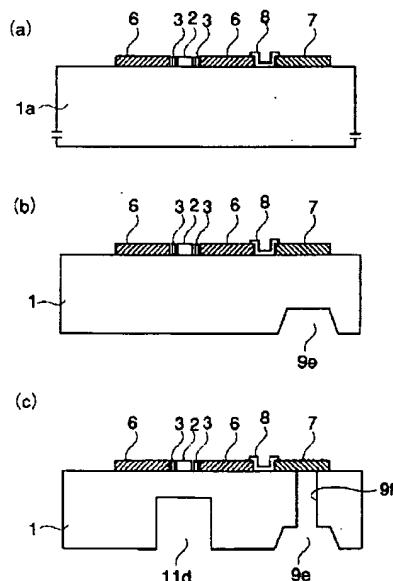
【図16】



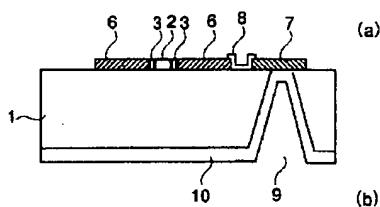
【図17】



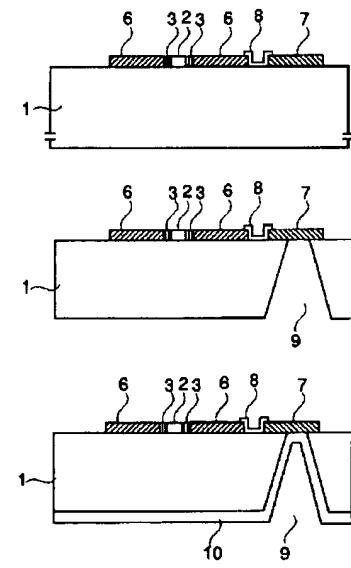
【図18】



【図19】



【図20】



## 【手続補正書】

【提出日】平成6年3月1日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

## 【補正内容】

【請求項7】 請求項2記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属膜は、該トランジスタのソース電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

## 【補正内容】

【請求項8】 請求項3記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属層は、該トランジスタのソース電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

## 【補正内容】

【0007】ところで、例えば特開昭61-23350号公報、特開昭63-198377号公報、特開平4-311069号公報に、基板表面に発熱性素子を有し、基板裏面側から上記発熱性素子が形成された領域近傍まで凹部を形成し、ここに金属を充填するようにしたものが示されているが、このような構成において、バイアホールを用いて基板裏面側電極と基板表面に形成された上部電極とを接続するためには、上記凹部とバイアホールとをそれぞれ異なるマスクを用いてエッチングして形成するのが普通であり、この場合には製造工程の増加や、配線の微細化に伴うマスク合わせのズレによる製造精度の低下等の問題が生じることがあった。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

## 【補正内容】

【0009】またこの発明は、製造工程が簡単で、製造精度が高い半導体装置の製造方法を提供することを目的とする。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

## 【補正内容】

【0017】

【作用】この発明においては、発熱性素子の直下に空洞が形成されているため、発熱性素子近傍で発生した熱は上下左右のあらゆる方向に伝導するが、基板の下方向に伝導する熱は、活性層から空洞へと伝導するので、熱放散面積が拡大するため、熱伝導率が改善される。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

## 【補正内容】

【0024】

【実施例】実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の第1の実施例による高周波MMICの断面図であり、図2(a)～(e)はその製造プロセスフローを示す図ある。これらの図において、図1と同一符号は同一または相当部分を示し、4はゲート部直下の基板1に形成された空洞である。また4aはソース電極6の直下に形成された空洞の入り口部で、4bは空洞の本体部である。また5は空洞4内に形成された空洞内金属である。なお、ここでは図示していないが、基板1表面には活性層となる領域が形成されているものとする。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

## 【補正内容】

【0025】次に図2に示す製造プロセスフローの詳細について説明する。まず、GaAs基板1上にドレイン電極2を蒸着・リフトオフで形成する。次にゲート電極3を蒸着・リフトオフで形成する(図2(a))。次いで、ソース電極となる部分にドライエッチングにより垂直なホール4aを形成する。このとき、エッチングガスには腐食性と堆積性を得るために塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用い、フォトレジスト(図示せず)をマスクにして30mTorrの圧力で10分間エッチングすることにより、深さ約10ミクロンの垂直なホール(入り口部)4aが形成される(図2(b))。

## 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

## 【補正内容】

【0028】このように本実施例によれば、ゲート電極3及びソース電極6直下のG a A s 基板1にソース電極6と接続する入り口部4aを有する空洞4を設けたから、ゲート電極3近傍で発生した熱は、活性層から空洞4へと伝導するので、熱放散面積が拡大するために、熱伝導率が改善され、従って基板1の厚さを保ったままで高周波特性や信頼性を向上させることができる。また空洞4内にはこれに沿って空洞内金属層（金の熱伝導率31.9 W/m·K）5が形成されているため、熱伝導率の改善効果は大きいものである。

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

## 【補正内容】

【0036】このような方法を用いることにより、熱放散のための空洞内金属と、ソース電極6を接地するためのバイアホールとを兼用でき、デバイスの微細化を図ることができる。なお、ホール4cの大きさはホール4bよりも小さいほうが好ましい。また、ホール4bを深く形成してホール4cの代わりに用いても効果は同じである。

## 【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

## 【補正内容】

【0039】なお、上記第1～第4の実施例では金属を用いて空洞内面を覆う、または充填するようにしたが、金属以外でも、例えば導電性樹脂等、熱伝導性の良好なものであればこれを用いることができる。また、上記第3の実施例では、空洞4内を充填する金属50とグランド電極10とを接続するようにしたが、第1の実施例の構成において、空洞4内に形成された空洞内金属5と接続するようにしてよい。

## 【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

## 【補正内容】

【0045】このように本実施例によれば、その開口面積が10倍以上異なる開口部13a, 13bを有するエッチングマスク13を用いてウエットエッティングを行うことにより、放熱用の凹部11とバイアホール9とを同時に形成することができ、製造工程が簡単で、また同一のマスクを用いてエッティングを行うため、マスク合わせ等の問題を考慮する必要がなく、プロセスが容易であり、さらに製造精度を向上させることができる。

## 【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

## 【補正内容】

【0049】この実施例ではC1系のドライエッティングであるためサイドエッティングがほとんど生じない。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は5 μmであるため、図13(b)に示すように、基板1に形成された凹部は櫛形の断面形状となる。続いてグランド電極10を上記実施例と同様の方法にて形成し、その厚みを5 μmとすることによって幅10 μmのホール内にAuが埋め込むように形成できる(図13(c))。

## 【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

## 【補正内容】

【0057】次にFET部直下とバイアホール下部9eの内部にそれぞれ開口したボジ型レジストをエッティングマスクに用い、深さ約70 μmまでドライエッティングすることによってバイアホールの上部9fを形成してバイアホールを貫通させるとともに、FET下方に垂直形状の凹部11dを形成する(図18(c))。基板厚が150 μmの場合はドライエッティングの深さを120 μm、基板厚が200 μmの場合はドライエッティングの深さを170 μmとする。このときのドライエッティングのガスは上記実施例7と同じくSiC14/C12系を用いる。続いて、ホール11内をAuメッキ12で埋め込む(図18(d))。

**\* NOTICES \***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The semiconductor device characterized by establishing a cavity in one principal plane of a semi-conductor substrate in the semiconductor device which has a febrile component at the semi-conductor substrate [ directly under ] of the above-mentioned febrile component.

[Claim 2] The semiconductor device characterized by forming a metal membrane in the above-mentioned cavernous inside in a semiconductor device according to claim 1.

[Claim 3] The semiconductor device characterized by filling up the inside of the above-mentioned cavity with a metal layer in a semiconductor device according to claim 1.

[Claim 4] The semiconductor device characterized by forming the thermally conductive good film in the

above-mentioned cavernous inside from the above-mentioned semi-conductor substrate in a semiconductor device according to claim 1.

[Claim 5] The semiconductor device characterized by filling up the inside of the above-mentioned cavity with a thermally conductive good layer from the above-mentioned semi-conductor substrate in a semiconductor device according to claim 1.

[Claim 6] The above-mentioned cavity is a semiconductor device characterized by being the thing which comes to connect two cavities formed [ in / on a semiconductor device according to claim 1 and / the right-and-left both sides of the above-mentioned febrile component ] in the lower part of the above-mentioned febrile component.

[Claim 7] It is the semiconductor device characterized by for the above-mentioned febrile component being a field-effect transistor in a semiconductor device according to claim 2, and connecting the above-mentioned metal membrane with the earth electrode formed in the other principal plane side of the above-mentioned substrate while connecting with the ohmic electrode of this transistor electrically electrically.

[Claim 8] It is the semiconductor device characterized by for the above-mentioned febrile component being a field-effect transistor in a semiconductor device according to claim 3, and connecting the

above-mentioned metal layer with the earth electrode formed in the other principal plane side of the above-mentioned substrate while connecting with the ohmic electrode of this transistor electrically.

[Claim 9] It is the approach of manufacturing the semiconductor device which comes to form a cavity directly under the febrile component arranged on a semi-conductor substrate. The process which uses corrosive gas and the gas of deposition nature, etches the above-mentioned semi-conductor substrate perpendicularly, and forms the hole entry section in the right-and-left both sides of the febrile component formed on the above-mentioned substrate. Then, the manufacture approach of the semiconductor device characterized by including the process form the hole body section respectively under each above-mentioned hole entry section using corrosive gas, each hole body sections are connected in that case, and it is made to become one cavity.

[Claim 10] The manufacture approach of the semiconductor device characterized by to have the process which forms a barrier layer on the above-mentioned substrate through the etching stopper layer which has corrosion resistance to the 2nd etchant, and prepares the above-mentioned febrile component on this, the process which form the above-mentioned hole entry section using

the 1st etchant, and the process which form the above-mentioned hole body section using the 2nd etchant in the manufacture approach of a semiconductor device according to claim 9. [Claim 11] The febrile component formed in one principal plane of a semi-conductor substrate, and the crevice formed in the above-mentioned substrate from the rear-face side in directly under [ of this febrile component ], In the semiconductor device equipped with the Bahia hall which connects the rear-face electrode of the above-mentioned substrate, and the top-face electrode of the above-mentioned substrate It is the semiconductor device characterized by coming to form two or more unit crevices in the field which corresponds directly under the above-mentioned febrile component as the above-mentioned crevice, and forming the above-mentioned substrate rear-face electrode along with the medial surface of two or more above-mentioned unit crevices.

[Claim 12] In the approach of manufacturing the semiconductor device with which have a crevice directly under the febrile component formed on the semi-conductor substrate, and it comes to connect the rear-face electrode of the above-mentioned substrate, and the top-face electrode of the above-mentioned substrate in the Bahia hall Have the 1st opening to the field which should form the above-mentioned Bahia hall, and wet

etching of the above-mentioned substrate is carried out to the field which should form the above-mentioned crevice from the rear face using the etching mask which has two or more 2nd openings with an opening area smaller than the 1st opening of the above. The manufacture approach of the semiconductor device characterized by including the process which forms the single crevice where etching [ openings / two or more / which have above-mentioned Bahia hall and the predetermined depth / of the above / 2nd ] comes to be connected.

[Claim 13] In the approach of manufacturing the semiconductor device with which have a crevice directly under the febrile component formed on the semi-conductor substrate, and it comes to connect the rear-face electrode of the above-mentioned substrate, and the top-face electrode of the above-mentioned substrate in the Bahia hall Have the 1st opening to the field which should form the above-mentioned Bahia hall, and dry etching of the above-mentioned substrate is carried out to the field which should form the above-mentioned crevice from the rear face using the etching mask which has two or more 2nd openings with an opening area smaller than the 1st opening of the above. The manufacture approach of the semiconductor device characterized by including the process which forms the above-mentioned Bahia hall and two or more crevices which have

the predetermined depth.

[Claim 14] In the approach of manufacturing the semiconductor device with which have a crevice directly under the febrile component formed on the semi-conductor substrate, and it comes to connect the rear-face electrode of the above-mentioned substrate, and the top-face electrode of the above-mentioned substrate in the Bahia hall The process which forms the crevice for the Bahia hall formation which has the 1st depth by dry etching in a part of field which should form the Bahia hall by the side of the above-mentioned substrate rear face, While forming the crevice which carries out wet etching of the above-mentioned substrate from the rear face using the etching mask which has opening, respectively to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 2nd depth The manufacture approach of the semiconductor device characterized by including the process which forms the Bahia hall penetration section which it makes it come to penetrate from a part of Bahia hall base base to the above-mentioned substrate front face.

[Claim 15] In the approach of manufacturing the semiconductor device with which have a crevice directly under the febrile component formed on the semi-conductor substrate, and it comes to connect the rear-face electrode of the

above-mentioned substrate, and the top-face electrode of the above-mentioned substrate in the Bahia hall. The process which forms the Bahia hall base which carries out wet etching of a part of Bahia hall formation field by the side of the above-mentioned substrate rear face, and has the 3rd depth. Dry etching is carried out using the etching mask which has opening corresponding to these fields for the field which should form the above-mentioned Bahia hall of the above-mentioned substrate, and the field which should form the above-mentioned crevice. The manufacture approach of the semiconductor device characterized by including the process which forms the crevice which has the 4th depth while forming the Bahia hall penetration section which it makes it come to penetrate from a part of above-mentioned Bahia hall base base to the above-mentioned substrate front face.

[Claim 16] The manufacture approach of the semiconductor device characterized by including the process which fills up the inside of the above-mentioned crevice with a metal in the manufacture approach of a semiconductor device according to claim 14 or 15.

#### DETAILED DESCRIPTION

#### [Detailed Description of the Invention]

##### [0001]

[Industrial Application] Especially this invention relates to FET or IC (MMIC;Microwave Monolithic Integrated Circuit) for the RFs by compound semiconductors (GaAs etc.) about a semiconductor device and its manufacture approach.

##### [0002]

[Description of the Prior Art] The cross section of conventional FET for RFs or IC (MMIC) is shown in drawing 19. moreover, the manufacture process flow -- drawing 20 (a) - drawing 20 (c) It is shown. In drawing, 1 is a substrate, for example, a GaAs substrate is well used as an object for RFs. 2 is the drain electrode formed on this substrate 1, and the laminated metal of AuGe/nickel/Au is used well. 3 is the gate electrode formed on the substrate 1, and the laminated metal of Ti/aluminum is well used for this. 6 is the source electrode formed on the substrate 1, and the laminated metal of AuGe/nickel/Au is used well. 7 is the up electrode of the Bahia hall which was formed on the substrate 1 and which is mentioned later, and the laminated metal of Ti/Au or Ti/aluminum is used well. 8 is microstrip wiring and the laminating metal of Ti/Au is used well. 9 is the Bahia hall which penetrates a substrate 1, and is formed by dry etching or wet etching. 10 is the grand electrode formed over the rear face whole region of a substrate 1,

and nickel/Au is used well. In addition, although not illustrated here, the field used as a barrier layer shall be formed in the front face of the above-mentioned substrate 1.

[0003] Next, the manufacture process flow of RF MMIC of drawing 20 is explained. First, the source electrode 6 and the drain electrode 2 are formed by vacuum evaporationo and lift off on a substrate 1 at coincidence. Next, the gate electrode 3 is formed by vacuum evaporationo and lift off. Then, the passivation film, resistance, an inductor, and a capacitor (not shown, respectively) are formed. Next, the microstrip wiring 8 is formed by vacuum evaporationo and lift off. Furthermore, the Bahia hall up electrode 7 is formed by vacuum evaporationo, lift off, and plating (drawing 20 (a)).

[0004] Then, grinding, wrapping, polishing, and etching perform sheet metal-ized processing from the rear face of a substrate 1, and a substrate 1 is made into the thickness of 100-200 microns. And the Bahia hall 9 which penetrates a substrate 1 directly under the Bahia hall up electrode 7 is formed by etching (drawing 20 R>0 (b)).

[0005] The grand electrode 10 electrically connected with the above-mentioned Bahia hall up electrode 7 is formed by forming nickel/Au by electroless deposition over the rear face whole region of a substrate 1 finally, and forming Au

by electrolytic plating further (drawing 20 (c)).

[0006]

[Problem(s) to be Solved by the Invention] RF MMIC which is the conventional semiconductor device was constituted as mentioned above, and when it was GaAs with small thermal conductivity (thermal conductivity = 46 W/m·K) since it was manufactured, and the thickness of a substrate 1 is 100-200 microns, stripping of the heat generated near the gate electrode was bad, temperature rose, and there was a trouble of having a bad influence on a RF property or dependability. Moreover, although thickness of a substrate might be made thin to about 30 microns in order to improve heat leakage, there was a trouble that handling was difficult in this case.

[0007] By the way, to for example, JP,61-23350,A, JP,63-198377,A, and JP,4-311069,A Although what has a febrile component on a substrate front face, forms a crevice to near [ in which the above-mentioned febrile component was formed from the substrate rear-face side ] the field, and was filled up with the metal here is shown In order to connect a substrate rear-face lateral electrode and the up electrode formed in the substrate front face in such a configuration using the Bahia hall Problems, such as an increment in a production process and a fall of the manufacture precision by gap

of the mask alignment accompanying [ usually, etch and form the above-mentioned crevice and the Bahia hall using a mask different, respectively, and ] detailed·izing of equipment, might arise in this case.

[0008] It was made in order that this invention might solve the above troubles, and it aims at offering the semiconductor device which can make heat leakage near the gate electrode good, keeping substrate thickness at 100-200 microns, and can raise a RF property and dependability, and its manufacture approach.

[0009] Moreover, this invention is easy a production process and aims at offering the manufacture approach of a semiconductor device that equipment with a high manufacture precision can be obtained.

[0010]

[Means for Solving the Problem] The semiconductor device concerning this invention establishes a cavity in the direct lower part of the febrile component formed on the substrate. Moreover, film, such as a good metal of pyroconductivity, is prepared in the above-mentioned cavernous inside, or the inside of a cavity is filled up with layers, such as a metal. Moreover, or it prepares a metal membrane in the above-mentioned cavernous inside, the inside of a cavity is filled up with a metal layer, the hole which reaches the above-mentioned

cavernous section from a substrate rear face further is formed, and it is made to connect with the metal layer in the above-mentioned cavity, and the earth electrode on the rear face of a substrate.

[0011] Moreover, the semiconductor device concerning this invention is equipped with two or more unit crevices formed in the substrate field which corresponds directly under the above-mentioned febrile component from the substrate rear face side.

[0012] Moreover, the substrate of the right-and-left both sides of a febrile component is etched perpendicularly, the hole inlet·port section is formed, the hole body section is successingly formed respectively under each above-mentioned hole entry section, each hole body sections are connected in that case, and it is made for the manufacture approach of the semiconductor device concerning this semiconductor device to become one cavity.

[0013] Moreover, the etching stopper layer which has corrosion resistance to the 2nd etchant is prepared in the above-mentioned substrate front face, the above-mentioned hole inlet·port section is formed by the 1st etchant, and the above-mentioned hole body section is formed using the 2nd etchant.

[0014] moreover, the mask with which the manufacture approach of the semiconductor device concerning this invention has the 1st opening for the

Bahia hall formation, and the 2nd opening for crevice formation which has two or more 2nd openings with an opening area smaller than this 1st opening -- using -- a substrate -- the wet etching from that rear face -- or dry etching is carried out and the Bahia hall and a crevice are formed in coincidence.

[0015] Moreover, the manufacture approach of the semiconductor device concerning this invention The crevice for the Bahia hall formation which has the 1st depth by dry etching is formed in a substrate rear-face side. While forming the crevice which performs wet etching using the mask which has opening, respectively to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 2nd depth, and the Bahia hall base The Bahia hall penetration section which it makes it come to penetrate from this a part of base base to the above-mentioned substrate front face is formed.

[0016] Moreover, the manufacture approach of the semiconductor device concerning this invention The Bahia hall base which has the 3rd depth by wet etching is formed in a part of Bahia hall formation field by the side of a substrate rear face. While forming the crevice which performs dry etching using the mask which has opening, respectively to the field which should form the above-mentioned Bahia hall, and the

field which should form the above-mentioned crevice, and has the 4th depth The Bahia hall penetration section which it makes it come to penetrate from a part of above-mentioned Bahia hall base base to the above-mentioned substrate front face is formed.

[0017]

[Function] In this invention, since the cavity is formed directly under the febrile component, the heat generated near the febrile component is conducted in all the directions of vertical and horizontal, but in order to conduct the heat conducted to down [ of a substrate ] in the direction of an entry of a cavity from the inside of a cavity, thermal conductivity is improved.

[0018] Moreover, the effectiveness of a thermal conductivity improvement becomes larger by layers, such as a metal filled up with the inside of film, such as a metal prepared in the above-mentioned cavernous inside, or a cavity. Moreover, since it is made to penetrate with the hole which filled up the inside of a cavity with the metal layer, and was formed from the substrate rear face and made to connect with the earth electrode on the rear face of a substrate or it prepared the metal membrane in the above-mentioned cavernous inside, it functions as a Bahia hall.

[0019] Moreover, in this invention, since the holes which adjoin by forming the hole body section following these to the hole inlet-port section formed in the

substrate of the right-and-left both sides of a febrile component were connected, it can be emasculated directly under [above-mentioned] a febrile component.

[0020] Moreover, the dimension control at the time of forming the hole body section is attained by the etching stopper layer which was formed on the substrate and which is formed into an immobilization object to the 2nd etchant.

[0021] Moreover, in this invention, the Bahia hall and a crevice are formed in coincidence by performing wet etching or dry etching using the mask which has the 1st opening for the Bahia hall formation, and the 2nd opening for crevice formation which has two or more 2nd openings with an opening area smaller than this 1st opening.

[0022] Moreover, the crevice for the Bahia hall formation which has the 1st depth by dry etching is formed in a substrate rear-face side. While forming the crevice which performs wet etching using the mask which has opening, respectively to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 2nd depth, and the Bahia hall base By forming the Bahia hall penetration section which it makes it come to penetrate from this a part of base base to the above-mentioned substrate front face, the remnants thickness of the substrate in a crevice is easily controllable.

[0023] Moreover, the Bahia hall base which has the 3rd depth by wet etching is formed in a substrate rear-face side. While forming the crevice which performs dry etching using the mask which has opening to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 4th depth By forming the Bahia hall penetration section which it makes it come to penetrate from the above-mentioned Bahia hall base to the above-mentioned substrate front face, the remnants thickness of the substrate in a crevice is easily controllable.

[0024]

[Example] The example of this invention is explained about drawing below example 1. Drawing 1 is the sectional view of RF MMIC by the 1st example of this invention, and is drawing 2 (a) - (e) \*\*\*\*\* which shows that manufacture process flow. In these drawings, a considerable part is shown and 4 is that the same sign as drawing 8 is the same, or the cavity formed in the substrate 1 directly under the gate section. Moreover, 4a is the entry section of the cavity formed directly under the source electrode 6, and 4b is the body section of a cavity. Moreover, 5 is the cavernous money-paid-on-account group formed in the cavity 4. In addition, although not illustrated here, the field used as a barrier layer shall be formed in substrate

1 front face.

[0025] Next, the detail of a manufacture process flow shown in drawing 2 is explained. First, the drain electrode 2 is formed by vacuum evaporationo and lift off on the GaAs substrate 1. Next, the gate electrode 3 is formed by vacuum evaporationo and lift off (drawing 2 (a)). Subsequently, a perpendicular hole is formed in the part used as a drain electrode by dry etching. At this time, using what mixed chlorine gas and silicon tetrachloride gas at a rate of 1 to 4 in order to obtain corrosive and deposition nature to etching gas, a photoresist (not shown) is used as a mask and they are 30mTorr(s). By etching for 10 minutes by the pressure, perpendicular with a depth of about 10 microns hole (entry section) 4a is formed (drawing 2 (b)).

[0026] Subsequently, the same photoresist is used as a mask as it is, in order to acquire corrosive as etching gas, what mixed chlorine gas and silicon tetrachloride gas at a rate of 1 to 1 is used, and it is 60mTorr. If it etches for 30 minutes by the pressure The hole and hole which an isotropic hole with a depth of about 50 microns is formed, and adjoin are connected, and oblong one hole (body section) 4b is formed (drawing 2 (c)). Since the resultant (formed from Si, C, Cl, and O) which protects a side attachment wall remains in the part etched into the perpendicular at this time, also in case it etches oblong, the perpendicular

configuration of entry section 4a formed previously is maintained. Furthermore, the same photoresist is used as a mask as it is, and nickel or Au is formed as a cavernous money-paid-on-account group 5 by electroless deposition (drawing 2 (d)).

[0027] Subsequently, the source electrode 6 is formed in vacuum evaporationo and lift off, then the passivation film, resistance, an inductor, and a capacitor (not shown, respectively) are formed. In addition, although it is that to which between the source electrodes 6 which adjoin by the cavernous money-paid-on-account group 5 here was connected, it is made not to connect the cavernous money-paid-on-account group 5 and the source electrode 6 according to the purpose of use. Next, the microstrip wiring 8 is formed by vacuum evaporationo and lift off. Furthermore, the Bahia hall up electrode 7 is formed by vacuum evaporationo lift off and plating. Then, grinding, wrapping, polishing, and etching perform sheet metal-ized processing from the rear face of a substrate 1, and the GaAs substrate 1 is made into the thickness of 100-200 microns. And the Bahia hall 9 which penetrates a substrate 1 directly under the Bahia hall up electrode 7 is formed by etching. The grand electrode 10 electrically connected with the above-mentioned Bahia hall up electrode 7 is formed by forming nickel/Au by

electroless deposition over the rear-face whole region of a substrate 1 finally, and forming Au by electrolytic plating further (drawing 2 (e)).

[0028] Thus, since the cavity 4 which has entry section 4a linked to the source electrode 6 in the GaAs substrate 1 directly under [source electrode 6] the gate electrode 3 was formed according to this example. The heat generated with about three gate electrode can raise a RF property and dependability, coming to conduct in the direction of entry section 4a of a cavity from four in a cavity, and having improved thermal conductivity, therefore maintaining the thickness of a substrate 1. Moreover, since the metal layer 5 in a cavity (golden thermal conductivity 319 W/m·K) is formed along with this in the cavity 4, the improvement effect of thermal conductivity is large.

[0029] RF MMIC by the 2nd example of example 2., next this invention and its manufacture approach are explained about drawing. As shown in drawing 3, the inside of a cavity 4 is filled up with this example 2 with a metal 50.

[0030] Next, the manufacture approach is explained. The drain electrode 2 and the gate electrode 3 are formed in substrate 1 front face like the above-mentioned example, and cavernous entry section 4a and body section 4b are formed by etching (refer to drawing 4 (a) - (c)).

[0031] Then, the inside of a hole 4 is

embedded with the metals 50, such as nickel or Au, by electroless deposition or electroplating of a pulse type (drawing 4 (d)). Subsequently, like the above-mentioned example, formation of each electrode and other circuit elements, substrate sheet metalized processing, and formation of the Bahia hall are performed, and, finally the grand electrode 10 is formed (drawing 4 (e)).

[0032] Thus, since the inside of a cavity 4 is filled up with this example 2 with the metal 50 while being able to raise further stripping of the heat generated with about three gate electrode by filling up the inside of a cavity 4 with a metal 50, the fall of the substrate reinforcement by cavernous 4 formation can be prevented. In addition, as the above-mentioned metal 50, what has a near substrate 1 and coefficient of thermal expansion is desirable.

[0033] RF MMIC by the 3rd example of example 3., next this invention and its manufacture approach are explained about drawing. As shown in drawing 5, while filling up the inside of a cavity 4 with a metal 50, hole 4c is formed towards the cavernous section 4 from GaAs substrate 1 rear face, a metal 51 is filled up with this example 3 in hole 4c, and the grand electrode 10 and the source electrode 6 on the back are electrically connected in it.

[0034] Next, the manufacture approach is explained. Drawing 6 (a) - (d) A process is

drawing 4 (a) - (d) Since it is the same as that of a process, the process after it is explained here. Drawing 6 (e) After forming each electrode so that it may be shown, a substrate 1 is sheet-metal-ized to 100-200 microns. The Bahia hall up electrode is not formed at this time.

[0035] Subsequently, drawing 6 (f) It sets, and a photoresist (not shown) is formed in a mask, hole 4c is formed in substrate 1 rear face by dry etching, and it is made open for free passage with the cavernous section 4. And nickel/Au is formed in the last by electroless deposition over the substrate rear face whole region after photoresist removal, Au is further formed by electrolytic plating, and it considers as the rear-face electrode 10 and a metal 51.

[0036] By using such an approach, the cavernous money-paid-on-account group for heat leakage and the Bahia hall for grounding the source electrode 6 can be made to serve a double purpose, and detailed-ization of a device can be attained.

[0037] RF MMIC by the 4th example 4 of example 4., next this invention is explained about drawing. As shown in drawing 7, in this example, it is made to perform dimension control at the time of the porosi by using on GaAs what carried out the laminating of i-AlGaAs, a buffer layer, and the n-GaAs layer one by one as a substrate.

[0038] Hereafter, the manufacture approach is explained. As opposed to the

substrate which carried out the laminating of i-AlGaAs layer 1c, buffer layer 1b, and the n-GaAs layer 1a on the GaAs substrate 1 What mixed chlorine gas and silicon tetrachloride gas at a rate of 1 to 4 first is used at the time of the porosi. 30mTorr(s) After etching perpendicularly n-GaAs layer 1a, buffer layer 1b, and i-AlGaAs layer 1c by the pressure, What mixed chlorine gas, silicon tetrachloride gas, and 6 sulfur-fluoride gas at a rate of 1 to 4 to 1 is used, and it is 60mTorr. If it etches for 30 minutes by the pressure, the hole and hole which the hole where the about 50-micron depth is oblong is formed, and adjoin will be connected, and the one cavity 40 will be formed. At this time, since i-AlGaAs layer 1c is passivated by 6 sulfur-fluoride gas, it is not etched, therefore it acts as an etching stopper layer to buffer layer 1b at the time of oblong cavernous 40 formation, and the dimension control at the time of etching becomes easy. Moreover, since the resultant (formed by Si, C, Cl, and O) which protects a side attachment wall remains in the part which etched perpendicularly n-GaAs layer 1a, buffer layer 1b, and i-AlGaAs layer 1c, also in case it etches oblong, this perpendicular configuration is maintained. In addition, 52 and 53 show the metal filled up with the oblong hole 40 and hole 4c, respectively.

[0039] In addition, also except a metal,

although a cavernous inside is covered using a metal or it was made to fill up with the 1st and 2nd examples of the above, if conductive resin of thermal conductivity etc. is good, this can be used, for example.

[0040] Moreover, although the metal 50 and the grand electrode 10 which are filled up with the inside of a cavity 4 were connected in the 3rd example of the above, you may make it connect with the cavernous money-paid-on-account group 5 formed in cavernous 4 inside in the configuration of the 1st example.

[0041] Example 5., next the manufacture approach of RF MMIC by the 5th example of this invention are explained about drawing. In drawing 8  $R > 8$ , 11 is the crevice formed in the substrate 1 of the lower part of FET, and the bottom surface part of this crevice 11 has become corrugated plate-like.

[0042] Next, the manufacture approach is explained. First, drawing 9  $R > 9$  (a) After forming the drain electrode 2, the gate electrode 3, the source electrode 6, and the Bahia hall up electrode 7 in GaAs substrate 1 front face like the conventional example so that it may be shown, it etches using the mask which has the openings 13a and 13b of a configuration as performed sheet metal-ized processing, and continuously shown in substrate 1 rear face at drawing 10.

[0043] At this time, a mutual opening

area etches using the etching mask 13 which has opening different 10 or more times. Here, opening 13a of the smaller one set 50micrometerx10micrometer and opening 13b of the larger one to 100micrometerx50micrometer. It is H<sub>2</sub> SO<sub>4</sub> to drawing 11 . : H<sub>2</sub> O<sub>2</sub> : The dependency over the mask opening area of an etching rate in H<sub>2</sub> O=100cc:500cc:100cc is shown. When mask opening area differs 10 times from this drawing, it turns out that about 20-30 micrometers of etching depth differ. Therefore, when the Bahia hall 9 penetrates a substrate 1, the hole (crevice) 11 of another side can leave the thickness of 20-30 micrometers of the GaAs substrate 1, and can end etching. Etching time is about 120 - 150 minutes for about 90 - 120 minutes, when substrate thickness is 100 micrometers, about 30 - 40 minutes, and substrate thickness are 150 micrometers, and substrate thickness is 200 micrometers. Moreover, at this example 5, it is H<sub>2</sub> SO<sub>4</sub>. Since the wet etching of a system is used, 0.6 to 1.0 times as many side etching as this arises to the depth direction. Consequently, since it is 30 micrometers, the distance with the contiguity pattern of mask opening 13a of the smaller one is drawing 9 (b). Side etching of contiguity patterns overlaps and it comes to form one big hole 11 so that it may be shown. Moreover, although the base of a hole 11 becomes corrugated plate-like in that

case, it is uninfluential in the heat dissipation effectiveness of the febrile component formed in substrate 1 front face.

[0044] Then, the grand electrode 10 is formed in the rear face of a substrate 1 like each above-mentioned example (drawing 9 (c)). Moreover, it may be made to embed the inside of next, then a hole 11 by the Au plating 12 (refer to drawing 9 (d)), and by doing in this way, the heat generated in the front-face side of a substrate 1 can be promptly transmitted to a substrate rear-face side, power efficiency improves, and dependability also improves further.

[0045] Thus, by performing wet etching using the etching mask 13 which has the openings 13a and 13b from which the opening area differs 10 or more times according to this example Since the crevice 11 and the Bahia hall 9 for heat dissipation can be formed in coincidence and a production process etches simply using the same mask, it is not necessary to take problems, such as mask alignment, into consideration, and a process is easy and manufacture precision can be raised further. Moreover, since it is mainly carried out from a substrate rear-face side about heat dissipation, the effect on the component formed in the substrate front face compared with the above-mentioned example 1 thru/or the example 4 is reduced.

[0046] In addition, in this example, although the inside of the above-mentioned hole 11 was filled up with the Au plating 12, since it becomes the structure where AuSn solder flowed into the crevice 11 at the time of die bond by using a little more AuSn solder used in case die bond of the chip is carried out, and it filled up with this crevice 11 with AuSn solder, it can also consider as the same configuration.

[0047] Example 6., next the manufacture approach of RF MMIC by the 6th example of this invention are explained about drawing. In drawing 12, the Bahia hall where 9a was formed in the perpendicular configuration, and 11a are two or more crevices of the perpendicular configuration formed in the direction under FET.

[0048] Next, the manufacture approach is explained. Dry etching is performed using the etching mask which has opening from which each opening area as shown in drawing 10 differs 10 or more times through a surface process and sheet metal chemically-modified degree like the above-mentioned example 5. Here, opening of the smaller one set 70micrometerx10micrometer and opening of the larger one to 100micrometerx70micrometer. Moreover, they are SiCl<sub>4</sub> / Cl<sub>2</sub> to drawing 14. The dependency over the mask opening area of the etching rate at the time of using gas is shown. When mask opening area

differs 10 times from this drawing, it turns out that about 20-30 micrometers of etching depth differ. Therefore, when Bahia hall 9a penetrates a substrate 1, hole 11b of another side can leave the thickness of 20-30 micrometers of the GaAs substrate 1, and can end etching. Etching time is about 200 - 220 minutes for about 150 - 170 minutes, when substrate thickness is 100 micrometers, about 100 minutes - 120 minutes, and substrate thickness are 150 micrometers, and substrate thickness is 200 micrometers.

[0049] In this example, since it is the dry etching of Cl system, side etching hardly arises. Consequently, since it is 5 micrometers, the distance with the contiguity pattern of mask opening 13a of the smaller one is drawing 13 (b). The crevice formed in the substrate 1 serves as a cross-section configuration of Kushigata so that it may be shown. Then, the grand electrode 10 is formed by the same approach as the above-mentioned example, and by setting the thickness to 5 micrometers, it can form so that Au may embed in a hole with a width of face of 10 micrometers (drawing 11 (c)).

[0050] With constituting as mentioned above, by transmitting promptly the heat generated in the substrate front-face side like the above-mentioned example as effectiveness acquired to a rear-face side, power efficiency can be improved and dependability can also be improved

further. Moreover, since a clearance is between the grand electrodes 10 formed in crevice 11a, the stress by thermal stress can be eased and the curvature of a chip etc. can be reduced.

[0051] Example 7., next the manufacture approach of RF MMIC by the 7th example of this invention are explained about drawing. In drawing 1515, the Bahia hall upper part of a perpendicular configuration in which 9b was formed of dry etching, and 9c are the Bahia hall lower parts of the shape of a taper formed in wet etching with the crevice 11.

[0052] Next, the manufacture approach is explained. Although two kinds of holes where the Bahia hall differs from the depth from a rear-face side continuously through a surface process and sheet metal chemically-modified degree (drawing 16 (a)) like the conventional example are formed, Bahia hall 9d is first formed to the middle by dry etching as the 1st step in this case. At this time, a positive resist is used as an etching mask and etching gas is SiCl<sub>4</sub> / Cl<sub>2</sub> as well as the above-mentioned example 6. By etching for about 30 minutes using the thing of a system, with a depth of 30 micrometers hole 9d is formed (drawing 16 (b)).

[0053] Next, as the 2nd step, the negative resist which carried out opening to directly under [ FET section ] and the Bahia hall part, respectively is used for an etching mask, and when substrate

thickness is 100 micrometers, the Bahia hall is made to penetrate by carrying out wet etching to a depth of about 70 micrometers. When substrate thickness is 150 micrometers and 120 micrometers and substrate thickness are 200 micrometers about the depth of wet etching, the depth of wet etching is set to 170 micrometers (drawing 16 (c)). Then, the inside of a hole 11 is embedded by the Au plating 12 (drawing 16 (d)).

[0054] Thus, in this example 7, by forming a part of Bahia hall previously by dry etching, and forming Bahia hall lower 9c and a crevice 11 in coincidence in wet etching, an etching process can be shortened, and remnants thickness of a substrate can be controlled easily, and manufacture precision can be raised.

[0055] Example 8., next the manufacture approach of RF MMIC by the 8th example of this invention are explained about drawing 17. In drawing, the crevice of a perpendicular configuration where 11a was formed in the FET lower part of dry etching, the upper part of the Bahia hall of the perpendicular configuration formed of 9d of dry etching, and 9e are the lower parts of the Bahia hall formed of wet etching.

[0056] Next, the manufacture approach is explained. It continues through a surface process and sheet metal chemically-modified degree (drawing 18 (a)) like the conventional example, and in case the Bahia hall and this Bahia hall

form the hole where the depth differs from a rear-face side, lower 9e of the Bahia hall is first formed by wet etching as the 1st step. Using negative resist, using what has an etching reagent the same as the above, 100 micrometers, 150 micrometers, and 200 micrometers of substrate thickness are about 5 minutes, and, as for the etching mask at this time, a hole with a depth of about 30 micrometers is formed, as for etching time (drawing 18 (b)).

[0057] Next, the positive resist which carried out opening to directly under [FET section] and the interior of Bahia hall lower 9e, respectively is used for an etching mask, and while forming 9f of upper parts of the Bahia hall and making the Bahia hall penetrate by carrying out dry etching to a depth of about 70 micrometers, crevice 11a of a perpendicular configuration is formed in an FET lower part (drawing 18 (c)). When substrate thickness is 150 micrometers and 120 micrometers and substrate thickness are 200 micrometers about the depth of dry etching, the depth of dry etching is set to 170 micrometers. The gas of the dry etching at this time is SiCl<sub>4</sub> / Cl<sub>2</sub> as well as the above-mentioned example 7. A system is used. Then, the inside of a hole 11 is embedded by the Au plating 12 (drawing 18 (d)).

[0058] Thus, after forming Bahia hall lower 9e previously by wet etching, by

forming crevice 11a and 9f of the Bahia hall upper parts in coincidence by dry etching, time amount which etching processing takes can be shortened like the above-mentioned example 7, and remnants thickness of a substrate can be controlled easily, and manufacture precision can be raised.

[0059] In addition, although two kinds of holes, the upper part and the lower part, were formed from the substrate rear-face side, formation of the Bahia hall up electrode 7 is made into behind, and you may make it form Bahia hall up 9b from a substrate front-face side by dry etching first in the above-mentioned example 7. Furthermore, although FET for RFs was mentioned as the example and each above-mentioned example explained it as a febrile component, it cannot be overemphasized that you may be febrile components other than this.

[0060]

[Effect of the Invention] As mentioned above, according to the semiconductor device concerning this invention, since the cavity was formed directly under the febrile component, the heat generated near the febrile component can be radiated efficiently, consequently handling is effective in MMIC a RF property and whose dependability improved in the conventional state being obtained. Moreover, it is effective in heat leakage becoming larger by layers, such as a metal filled up with the inside of film,

such as a metal with the high thermal conductivity prepared in the above-mentioned cavernous inside, or a cavity.

[0061] Moreover, since it is made to penetrate with the hole which filled up the inside of a cavity with the metal layer, and was formed from the substrate rear face and made to connect with the earth electrode on the rear face of a substrate or it prepared the metal membrane in the above-mentioned cavernous inside, the metal for heat dissipation will function as a Bahia hall, and it is effective in the ability to attain detailed-ization of a device.

[0062] Moreover, since the manufacture approach of the semiconductor device concerning this invention connected the holes which adjoin by forming the oblong hole body section following the hole inlet-port section of the perpendicular configuration formed in febrile component both sides, it has the effectiveness which can be easily emasculated directly under a febrile component.

[0063] moreover, the above -- there is effectiveness whose dimension control at the time of forming the oblong hole body section is attained by forming on a substrate the etching stopper layer formed into an immobilization object to the etchant used in case the oblong hole body section is formed.

[0064] Moreover, the manufacture

approach of the semiconductor device concerning this invention. Wet etching or dry etching is performed using the mask which has the 1st opening for the Bahia hall formation, and the 2nd opening for crevice formation which has two or more 2nd openings with an opening area smaller than this 1st opening. Since the Bahia hall and the crevice were formed in coincidence, there is effectiveness which can shorten the time amount which etching processing takes, and can control the remnants thickness of the substrate in a crevice easily.

[0065] Moreover, the crevice for the Bahia hall formation which has the 1st depth by dry etching is formed in a substrate rear-face side. While forming the crevice which performs wet etching using the mask which has opening, respectively to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 2nd depth, and the Bahia hall base. Since the Bahia hall penetration section which it makes it come to penetrate from this a part of base base to the above-mentioned substrate front face was formed, the remnants thickness of the substrate in a crevice is easily controllable.

[0066] Moreover, the Bahia hall base which has the 3rd depth by wet etching is formed in a substrate rear-face side. While forming the crevice which performs dry etching using the mask which has

opening to the field which should form the above-mentioned Bahia hall, and the field which should form the above-mentioned crevice, and has the 4th depth. Since the Bahia hall penetration section which it makes it come to penetrate from the above-mentioned Bahia hall base to the above-mentioned substrate front face was formed, there is effectiveness which can shorten the time amount which etching processing takes, and can control the remnants thickness of the substrate in a crevice easily.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] The sectional view showing the semiconductor device (RF MMIC) by the 1st example of this invention.

[Drawing 2] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 3] The sectional view showing the semiconductor device (RF MMIC) by the 2nd example of this invention.

[Drawing 4] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 5] The sectional view showing the semiconductor device (RF MMIC) by the 3rd example of this invention.

[Drawing 6] The sectional view showing

the manufacture approach of the above-mentioned semiconductor device.

[Drawing 7] The sectional view showing the semiconductor device (RF MMIC) by the 4th example of this invention.

[Drawing 8] The sectional view showing the semiconductor device (RF MMIC) by the 5th example of this invention.

[Drawing 9] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 10] Drawing showing the etching mask used in the above-mentioned manufacture approach.

[Drawing 11] Drawing for explaining the dependency of the etching rate to the mask opening area at the time of wet etching.

[Drawing 12] The sectional view showing the semiconductor device (RF MMIC) by the 6th example of this invention.

[Drawing 13] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 14] Drawing for explaining the dependency of the etching rate to the mask opening area at the time of dry etching.

[Drawing 15] The sectional view showing the semiconductor device (RF MMIC) by the 7th example of this invention.

[Drawing 16] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 17] The sectional view showing the semiconductor device (RF MMIC) by

the 8th example of this invention.

[Drawing 18] The sectional view showing the manufacture approach of the above-mentioned semiconductor device.

[Drawing 19] The sectional view showing the conventional semiconductor device (RF MMIC).

[Drawing 20] The sectional view showing the manufacture approach of the conventional semiconductor device (RF MMIC).

#### [Description of Notations]

1 GaAs Substrate

1a n-GaAs layer

1b Buffer layer

1c i-AlGaAs layer

2 Drain Electrode

3 Gate Electrode

4 Cavity

4a Hole entry section

4b Hole body section

4c Hole

5 Metal in Cavity

50 Metal in Cavity

51 Metal in Hole

52 Metal in Cavity

53 Metal in Hole

6 Source Electrode

7 Bahia Hall Up Electrode

8 Microstrip Wiring

9 9a Bahia hall

9b 9c Bahia hall upper part

9c, 9e Bahia hall lower part

10 Rear-Face Grand Electrode

11 Crevice

12 Au Plating

13 Etching Mask

---

[Translation done.]